

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-110423  
 (43)Date of publication of application : 11.04.2003

(51)Int.CI. H03L 7/081  
 G06F 1/10  
 G11C 11/407  
 H04L 7/033

(21)Application number : 2001-401857 (71)Applicant : HYNIX SEMICONDUCTOR INC  
 (22)Date of filing : 28.12.2001 (72)Inventor : CHO SEIYOKU

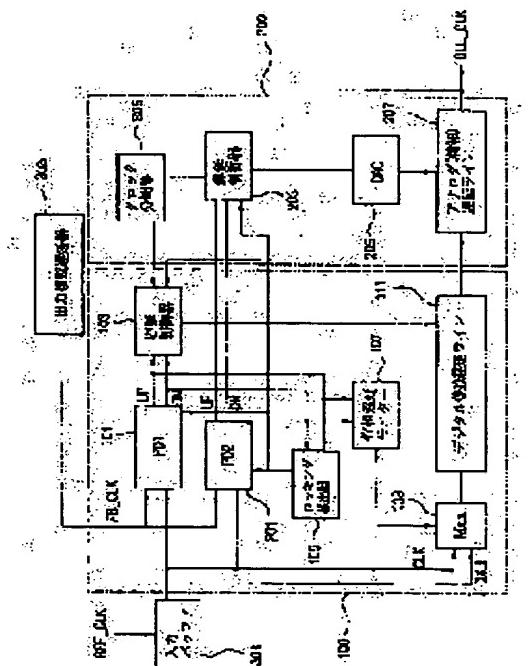
(30)Priority  
 Priority number : 2001 200158152 Priority date : 20.09.2001 Priority country : KR

**(54) MIXED DELAY LOCKED LOOP CIRCUIT AND CLOCK SIGNAL SYNCHRONIZATION METHOD THEREFOR**

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To provide a mixed delay locked loop circuit (DLL) in which variations due to influences of noises are not large, and a clock signal synchronization method therefor.

**SOLUTION:** The mixed DLL circuit has a digital delay section 100 and an analog delay section 200. The section 100 has a digital half delay line 111 consisting of a plurality of unit delay devices, compares phases of an inputted external reference clock signal and an output clock signal generated by the mixed DLL circuit, controls a delay amount of the reference clock signal in the line 111, and locks the control on the digital half delay line if locking is performed between the reference clock signal and the output clock signal. The section 200 has an analog delay line 207, compares phases between the reference clock signal and the output clock signal, converts the comparing result into an analog signal, and then, controls the delay amount of the output signal of the line 111 in the analog delay line by using the analog signal.



**LEGAL STATUS**

[Date of request for examination]  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application other

than the examiner's decision of rejection  
or application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's  
decision of rejection]  
[Date of requesting appeal against  
examiner's decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-110423

(P2003-110423A)

(43)公開日 平成15年4月11日(2003.4.11)

(51)Int.Cl.  
H 03 L 7/081  
G 06 F 1/10  
G 11 C 11/407  
H 04 L 7/033

識別記号

F I  
H 03 L 7/08 J 5 B 079  
G 06 F 1/04 3 3 0 A 5 J 106  
G 11 C 11/34 3 6 2 S 5 K 047  
H 04 L 7/02 3 5 4 C 5 M 024

テマコート(参考)

H 04 L 7/02

B

審査請求 未請求 請求項の数17 OL (全 7 頁)

(21)出願番号 特願2001-401857(P2001-401857)

(71)出願人 591024111

(22)出願日 平成13年12月28日(2001.12.28)

株式会社ハイニックスセミコンダクター  
大韓民国京畿道利川市夫鉢邑牙美里山136  
-1

(31)優先権主張番号 2001-058152

(72)発明者 趙成翊

(32)優先日 平成13年9月20日(2001.9.20)

大韓民国 全羅北道 全州市 完山区 西  
新洞 762-2 ソンウォンアパート 107  
-1703

(33)優先権主張国 韓国(KR)

(74)代理人 110000051

特許業務法人共生国際特許事務所

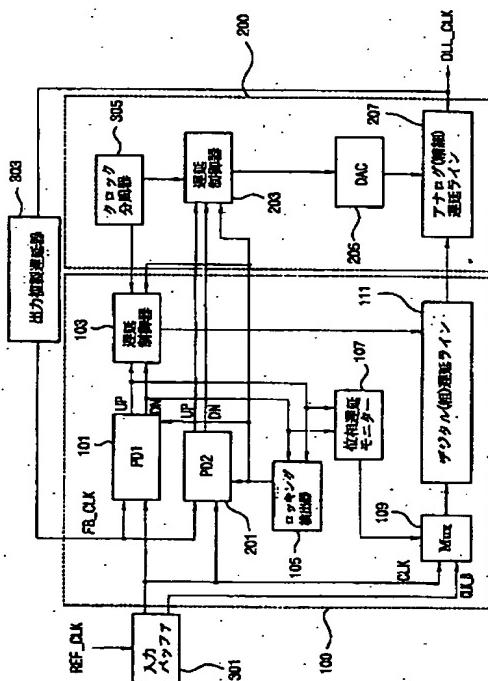
最終頁に続く

(54)【発明の名称】 混合型遅延固定ループ回路及びそのクロック信号同期方法

(57)【要約】

【課題】 ノイズの影響による遅延の変化が大きくない混合型遅延固定ループ(DLL)回路及びそのクロック信号同期方法を提供する。

【解決手段】 混合型DLL回路において、複数の単位遅延器からなるデジタル方式のハーフ遅延ライン111を有し、外部入力基準クロック信号と混合型DLL回路により生成された出力クロック信号の位相を比較、デジタルハーフ遅延ラインで基準クロック信号遅延量を制御し、基準クロック、出力クロック信号間にロッキングが行われると、デジタルハーフ遅延ラインに対する制御を固定させるデジタル遅延部100と、アナログ遅延ライン207を有し、基準クロック、出力クロック信号間の位相を比較、比較結果をアナログ信号に変換後、アナログ信号を用いアナログ遅延ラインでデジタルハーフ遅延ラインの出力信号遅延量を制御するアナログ遅延部200とを備えている。



## 【特許請求の範囲】

【請求項1】 混合型遅延固定ループ回路において、複数の単位遅延器からなるデジタル方式のハーフ遅延ラインを有し、外部から入力される基準クロック信号と前記混合型遅延固定ループ回路により生成された出力クロック信号の位相を比べて前記デジタルハーフ遅延ラインで前記基準クロック信号が遅延される遅延量を制御し、前記基準クロック信号と前記出力クロック信号との間にロッキング（locking）が行われると、前記デジタルハーフ遅延ラインに対する制御を固定させるデジタル遅延部と、

アナログ遅延ラインを有し、前記基準クロック信号と前記出力クロック信号との位相を比べてその比較結果をアナログ信号に変換したあと、前記アナログ信号を用いて前記アナログ遅延ラインで前記デジタルハーフ遅延ラインの出力信号が遅延される遅延量を制御するアナログ遅延部とを備えていることを特徴とする混合型遅延固定ループ回路。

【請求項2】 前記基準クロック信号を用いて、前記混合型遅延固定ループ回路に適した信号レベルを有する第1内部クロック信号と前記第1内部クロック信号と $180^\circ$ の位相差を有する第2内部クロック信号とを生成して出力する入力バッファをさらに備えていることを特徴とする請求項1に記載の混合型遅延固定ループ回路。

【請求項3】 前記デジタル遅延部は、前記第1内部クロック信号と前記出力クロック信号の位相とを比べて比較結果を示す第1位相比較信号を出力する第1位相比較器と、

前記第1位相比較信号を受信して前記デジタルハーフ遅延ラインでの遅延量を制御する第1遅延制御信号を生成する第1遅延制御器と、

前記第1位相比較信号を受信して前記第1内部クロック信号と前記出力クロック信号とがロッキングされたと判定されると、前記第1遅延制御信号を固定させるロッキング検出器とをさらに備えていることを特徴とする請求項1に記載の混合型遅延固定ループ回路。

【請求項4】 前記第1遅延制御器は、前記第1位相比較信号に従って動作するカウンターを有し、前記ロッキング検出器により前記第1内部クロック信号と前記出力クロック信号とがロッキングされたと判定されると、前記カウンターは固定されることを特徴とする請求項3に記載の混合型遅延固定ループ回路。

【請求項5】 前記第1位相比較信号に従って、前記デジタルハーフ遅延ラインに前記第1内部クロック信号及び前記第2内部クロック信号の中の何れか1つの内部クロック信号が選択的に提供され、前記アナログ遅延ラインの出力信号が前記混合型遅延固定ループ回路の出力クロック信号として提供されることを特徴とする請求項3に記載の混合型遅延固定ループ回路。

【請求項6】 前記アナログ遅延部は、

前記基準クロック信号と前記出力クロック信号の位相を比べて比較結果を示す第2位相比較信号を出力する第2遅延制御器と、

前記第2位相比較信号をアナログ信号に変換して前記アナログ遅延ラインの制御のために前記アナログ遅延ラインに提供するデジタル／アナログ変換器とをさらに備えていることを特徴とする請求項1に記載の混合型遅延固定ループ回路。

【請求項7】 前記基準クロック信号を分周して前記第1遅延制御器及び第2遅延制御器に提供するクロック分周器をさらに備えていることを特徴とする請求項1に記載の混合型遅延固定ループ回路。

【請求項8】 前記出力クロック信号を前記第1位相遅延器及び第2位相遅延器にフィードバックさせる出力複製遅延器をさらに備えていることを特徴とする請求項1に記載の混合型遅延固定ループ回路。

【請求項9】 混合型遅延固定ループ回路において、複数の単位遅延部で構成され、外部から入力されるクロック信号をデジタル方式により所定時間遅延させるデジタルハーフ遅延ラインと、前記入力クロック信号と前記遅延固定ループ回路により生成された出力クロック信号との位相を比べて比較結果を示す第1位相比較信号を出力する第1位相比較器と、前記第1位相比較信号を受信して前記デジタルハーフ遅延ラインでの遅延量を制御する第1遅延制御信号を生成し、前記デジタルハーフ遅延ラインに提供する第1遅延制御器と、

前記第1位相比較信号を受信して前記第1内部クロック信号と前記出力クロック信号とがロッキングされたと判定されると、前記第1遅延制御信号を固定させるロッキング検出器と、

前記デジタルハーフ遅延ラインの出力信号をアナログ方式により所定時間遅延させるアナログ遅延ラインと、前記入力クロック信号と前記出力クロック信号との位相を比べて比較結果を示す第2位相比較信号を出力する第2遅延制御器と、

前記第2位相比較信号をアナログ信号に変換して前記アナログ遅延ラインの制御のために前記アナログ遅延ラインに提供するデジタル／アナログ変換器とを備えていることを特徴とする混合型遅延固定ループ回路。

【請求項10】 前記第1遅延制御器は、前記第1位相比較信号に従って動作するカウンターを有し、前記ロッキング検出器により前記入力クロック信号と前記出力クロック信号とがロッキングされたと判定されると、前記カウンターは固定されることを特徴とする請求項9に記載の混合型遅延固定ループ回路。

【請求項11】 前記入力クロック信号を用いて、前記混合型遅延固定ループ回路に適した信号レベルを有する第1内部クロック信号と、前記第1内部クロック信号と $180^\circ$ の位相差を有する第2内部クロック信号とを生

成して前記第1内部クロック信号を前記第1及び第2位相比較器に提供し、前記第1及び第2内部クロック信号を前記デジタルハーフ遅延ラインに提供する入力バッファをさらに備えていることを特徴とする請求項9に記載の混合型遅延固定ループ回路。

【請求項12】 前記デジタルハーフ遅延ラインには、前記第1位相比較信号に従って前記第1及び前記第2内部クロック信号の中の何れか1つの内部クロック信号が選択的に提供されることを特徴とする請求項9に記載の混合型遅延固定ループ回路。

【請求項13】 前記入力クロック信号を分周して前記第1遅延制御器及び第2遅延制御器に提供するクロック分周器をさらに備えていることを特徴とする請求項9に記載の混合型遅延固定ループ回路。

【請求項14】 前記出力クロック信号を前記第1位相遅延器及び第2位相遅延器にフィードバックさせる出力複製遅延器をさらに備えていることを特徴とする請求項9に記載の混合型遅延固定ループ回路。

【請求項15】 外部から入力される基準クロック信号に対し生成された出力クロック信号を同期させる方法において、

前記基準クロック信号と前記出力クロック信号との位相を比べて第1位相比較信号を生成し、前記第1位相比較信号を用いて複数の単位遅延部でなるデジタル方式のハーフ遅延ラインで前記基準クロック信号の遅延量を制御する段階と、

前記基準クロック信号と前記出力クロック信号との間にロッキングが行われると、前記ハーフ遅延ラインに対する制御を固定させる段階と、

前記基準クロック信号と前記出力クロック信号との位相を比べて第2位相比較信号を生成し、前記第2位相比較信号をアナログ信号に変換する段階と、

前記アナログ信号を用いてアナログ遅延ラインにより前記ハーフ遅延ラインの出力信号が遅延される遅延量を制御する段階とを備えていることを特徴とする混合型遅延固定ループ回路のクロック信号同期方法。

【請求項16】 前記基準クロック信号を用いて前記デジタルハーフ遅延ラインに適した信号レベルを有する第1内部クロック信号と、前記第1内部クロック信号と $180^\circ$ の位相差を有する第2内部クロック信号とを生成して出力する段階をさらに備えていることを特徴とする請求項15に記載の混合型遅延固定ループ回路のクロック信号同期方法。

【請求項17】 前記第1位相比較信号に従って、前記デジタルハーフ遅延ラインに前記第1及び前記第2内部クロック信号の中の何れか1つの内部クロック信号が選択的に提供されることを特徴とする請求項16に記載の混合型遅延固定ループ回路のクロック信号同期方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は混合型遅延固定ループ回路(DLL)に関し、特に、外部基準信号と出力クロック信号を同期させる混合型遅延固定ループ回路に関する。

##### 【0002】

【従来の技術】局部クロック信号が基準信号に比べて進む(leading)か、又は遅れる(lagging)かを問わず、最も短い時間内に安定したロッキングを行おうとする半導体メモリ装置にクロック再生成システムを提供する問題は、高速コンピュータ分野で非常に重要な課題となってきた。全ての再生成されたクロック信号が最小限のスキー(skew)を有して生成されるように、再生成はコンピュータ内の全ての位置で行われなければならない。ピクセルクロック生成のようなグラフィックアプリケーションは、高い解像度と速いロックングタイムと広い周波数範囲が要求される。さらに、DDR DRAM回路は基準信号の1/2周期より小さい最小限の位相遅延時間が要求される。

【0003】遅延固定ループ(DLL)回路は、このような電子システムのタイミング問題を解決するにあたり、重要な部分になってきた。特に、DLLは設計者をして基準信号と内部クロック信号の間の位相差を、前記基準信号と関連してモニターできるようにする。基準信号と内部クロック信号との間のこの位相差は、半導体メモリ装置で相応する応答遅延をもたらす。結果的に、DLLは基準信号を内部クロック信号と整列させるために利用されていた。DLLにはデジタル、アナログ及び混成(又は混合型)という3つの形式がある。

【0004】混合型DLLが米国特許6,242,955 B1(Assignee: Silicon Magic Corporation, Appl. No.: 09/399,116, Filed: Sep. 20, 1999)に開示されている。前記特許公報に開示されているように、このような混合型DLLはより速いロックング時間、広い周波数範囲、高い解像度等の利点を有しているが、使用しようとするクロック周波数をカバーするため1サイクル遅延ライン(one cycle delay line)が求められる。このような1サイクル遅延ラインを用いる場合、ノイズの影響による遅延の変化が非常に大きいという問題点がある。さらに、遅延ラインにより消費電力が大きくなり、設置のための所要面積が増加するという問題点がある。また、デジタルDLLでは遅延ラインがユニット遅延(unit delay)で構成されているので、ロッキング(locking)後のノイズの影響による動きもユニット遅延で動くものであるため、クロックジッタ(clock jitter)が非常に大きいという問題点がある。

##### 【0005】

【発明が解決しようとする課題】そこで、本発明は上記

従来の混合型遅延固定ループ回路及びそのクロック信号同期方法における問題点に鑑みてなされたものであつて、本発明の目的は、ノイズの影響による遅延の変化が大きくなき混合型遅延固定ループ回路及びそのクロック信号同期方法を提供することにある。

【0006】また、本発明の他の目的は、消費電力と所要面積が小さい混合型遅延固定ループ回路及びそのクロック信号同期方法を提供することにある。さらに、本発明の他の目的は、ロッキング後のノイズの影響による動きでクロックジッタが大きくなき混合型遅延固定ループ回路及びそのクロック信号同期方法を提供することにある。

#### 【0007】

【課題を解決するための手段】上記目的を達成するためになされた本発明による混合型遅延固定ループ回路は、混合型遅延固定ループ回路において、複数の単位遅延器からなるデジタル方式のハーフ遅延ラインを有し、外部から入力される基準クロック信号と前記混合型遅延固定ループ回路により生成された出力クロック信号の位相を比べて前記デジタルハーフ遅延ラインで前記基準クロック信号が遅延される遅延量を制御し、前記基準クロック信号と前記出力クロック信号との間にロッキング（locking）が行われると、前記デジタルハーフ遅延ラインに対する制御を固定させるデジタル遅延部と、アナログ遅延ラインを有し、前記基準クロック信号と前記出力クロック信号との位相を比べてその比較結果をアナログ信号に変換したあと、前記アナログ信号を用いて前記アナログ遅延ラインで前記デジタルハーフ遅延ラインの出力信号が遅延される遅延量を制御するアナログ遅延部とを備えていることを特徴とする。

【0008】また、前記基準クロック信号を用いて、前記混合型遅延固定ループ回路に適した信号レベルを有する第1内部クロック信号と前記第1内部クロック信号と $180^\circ$ の位相差を有する第2内部クロック信号とを生成して出力する入力バッファをさらに備えていることを特徴とする。また、前記デジタル遅延部は、前記第1内部クロック信号と前記出力クロック信号の位相とを比べて比較結果を示す第1位相比較信号を出力する第1位相比較器と、前記第1位相比較信号を受信して前記デジタルハーフ遅延ラインでの遅延量を制御する第1遅延制御器と、前記第1位相比較信号を受信して前記第1内部クロック信号と前記出力クロック信号とがロッキングされたと判定されると、前記第1遅延制御信号を固定させるロッキング検出器と、前記デジタルハーフ遅延ラインの出力信号をアナログ方式により所定時間遅延させるアナログ遅延ラインと、前記入力クロック信号と前記出力クロック信号との位相を比べて比較結果を示す第2位相比較信号を出力する第2遅延制御器と、前記第2位相比較信号をアナログ信号に変換して前記アナログ遅延ラインの制御のために前記アナログ遅延ラインに提供するデジタル／アナログ変換器とを備えていることを特徴とする。

前記デジタルハーフ遅延ラインに前記第1内部クロック信号及び前記第2内部クロック信号の中の何れか1つの内部クロック信号が選択的に提供され、前記アナログ遅延ラインの出力信号が前記混合型遅延固定ループ回路の出力クロック信号として提供されることを特徴とする。また、前記アナログ遅延部は、前記基準クロック信号と前記出力クロック信号の位相を比べて比較結果を示す第2位相比較信号を出力する第2遅延制御器と、前記第2位相比較信号をアナログ信号に変換して前記アナログ遅延ラインの制御のために前記アナログ遅延ラインに提供するデジタル／アナログ変換器とをさらに備えていることを特徴とする。

【0009】上記目的を達成するためになされた本発明による混合型遅延固定ループ回路は、混合型遅延固定ループ回路において、複数の単位遅延部で構成され、外部から入力されるクロック信号をデジタル方式により所定時間遅延させるデジタルハーフ遅延ラインと、前記入力クロック信号と前記遅延固定ループ回路により生成された出力クロック信号との位相を比べて比較結果を示す第1位相比較信号を出力する第1位相比較器と、前記第1位相比較信号を受信して前記デジタルハーフ遅延ラインでの遅延量を制御する第1遅延制御信号を生成し、前記デジタルハーフ遅延ラインに提供する第1遅延制御器と、前記第1位相比較信号を受信して前記第1内部クロック信号と前記出力クロック信号とがロッキングされたと判定されると、前記第1遅延制御信号を固定させるロッキング検出器と、前記デジタルハーフ遅延ラインの出力信号をアナログ方式により所定時間遅延させるアナログ遅延ラインと、前記入力クロック信号と前記出力クロック信号との位相を比べて比較結果を示す第2位相比較信号を出力する第2遅延制御器と、前記第2位相比較信号をアナログ信号に変換して前記アナログ遅延ラインの制御のために前記アナログ遅延ラインに提供するデジタル／アナログ変換器とを備えていることを特徴とする。

【0010】上記目的を達成するためになされた本発明による混合型遅延固定ループ回路のクロック信号同期方法は、外部から入力される基準クロック信号に対し生成された出力クロック信号を同期させる方法において、前記基準クロック信号と前記出力クロック信号との位相を比べて第1位相比較信号を生成し、前記第1位相比較信号を用いて複数の単位遅延部でなるデジタル方式のハーフ遅延ラインで前記基準クロック信号の遅延量を制御する段階と、前記基準クロック信号と前記出力クロック信号との間にロッキングが行われると、前記ハーフ遅延ラインに対する制御を固定させる段階と、前記基準クロック信号と前記出力クロック信号との位相を比べて第2位相比較信号を生成し、前記第2位相比較信号をアナログ信号に変換する段階と、前記アナログ信号を用いてアナログ遅延ラインにより前記ハーフ遅延ラインの出力信号が遅延される遅延量を制御する段階とを備えていること

を特徴とする。

【0011】このような構成の本発明によれば、遅延ラインの長さが短くなるため、ノイズの影響による遅延の変化が大きくなる。さらに、消費電力と所要面積が小さくなり、ロッキング後のノイズの影響によるクロックジッタが大きくなれない利点がある。

【0012】

【発明の実施の形態】次に、本発明にかかる混合型遅延固定ループ回路及びそのクロック信号同期方法の実施の形態の具体例を図面を参照しながら説明する。図1は、本発明によるハーフ遅延ライン(half delay

line)を有する混合型遅延固定ループ回路(以下、混合型DLL回路)のブロック図である。図1に示すように、本発明による混合型DLLはデジタル遅延部100とアナログ遅延部200で大きく区分される。デジタル遅延部100は位相検出器101、遅延制御器103、ロッキング検出器105、位相遅延モニター107、Mux109、デジタル(粗)遅延ライン111を含む。一方、アナログ遅延部200は位相検出器201、遅延制御器203、デジタル/アナログ変換器205、アナログ(精細)遅延ライン207を含む。

【0013】図1に示した位相検出器201は、図面作成の便宜の上でデジタル遅延部100に含まれるものと示しているが、アナログ遅延部200を構成する要素である。他に、入力バッファ301と出力複製遅延器303とクロック分周器305をさらに備えている。図1に示したREF\_CLKは外部から入力される基準クロック信号を、DLL\_CLKは本発明の混合型DLL回路により生成されたクロック信号を、FB\_CLKはDLL\_CLKが出力複製遅延器303を介して第1位相検出器101及び第2位相検出器201にフィードバックされたクロック信号を、CLKは入力バッファ301の出力クロック信号を、CLK\_Bは入力バッファ301の他の出力クロック信号であり、CLKから180°位相転移されたクロック信号をそれぞれ表わす。

【0014】先ず、デジタル遅延部100で位相検出器101は、入力バッファ301の出力信号CLKとフィードバック信号FB\_CLKとの位相差を比べてアップ信号(UP)又はダウン信号(DN)を生成する。位相検出器101の出力信号は、遅延制御器103とロッキング検出器105と位相遅延モニター107に提供される。遅延制御器103は、デジタル(粗)遅延ライン111での遅延程度を貯蔵するカウンター(図示省略)を備えており、位相検出器101の出力信号に従ってカウンターの値を変更させる。ロッキング検出器105は、位相検出器101からのアップ信号(UP)又はダウン信号(DN)を受信して内部クロック信号CLKとフィードバッククロック信号FB\_CLKとの間のロッキング可否を判断し、この2つのクロック信号が互いにロッキングされたことが確認されると、遅延制御器103内

部のカウンターを固定させる。位相遅延モニター107は、位相検出器101の出力信号を用いて設けたクロック信号の周波数範囲に対する半分遅延可否を判断する。Mux109は、位相遅延モニター107の出力信号に従って第1内部クロック信号CLK、又は内部クロック信号から180°位相転移された第2内部クロック信号CLK\_Bを、選択的にデジタル(粗)遅延ライン111に提供するスイッチの役割を果たす。デジタル(粗)遅延ライン111はユニット遅延(unit delay)で構成されており、Mux109を介して提供されるクロック信号を所定時間遅延させ、アナログ遅延部200のアナログ(精細)遅延ライン207に提供する。

【0015】次に、アナログ遅延部200で位相検出器201は、第1内部クロック信号CLKとフィードバッククロック信号FB\_CLKとの位相差を比べ、アップ信号(UP)又はダウン信号(DN)を生成して遅延制御器203に提供する。遅延制御器203は、アナログ(精細)遅延ライン207での遅延程度を貯蔵するカウンター(図示省略)を備えており、位相検出器203の出力に従ってカウンターの値を変更させる。デジタル/アナログ変換器205は、遅延制御器203のカウンター値をアナログ信号である電流量に変換する。一方、入力バッファ301は外部から基準クロック信号REF\_CLKを受信し、DLL回路に適した信号レベルに変更させる。出力複製遅延器303は、このDLL回路により生成された内部クロック信号DLL\_CLKをフィードバックさせて位相検出器101、201に提供する。クロック分周器305は、基準クロック信号を適切に分周して遅延制御器103、203に提供することにより、遅延制御器103、203内のカウンターを動作させる。

【0016】図1に示したデジタル遅延部100は、デジタル方法を用いてユニット遅延で構成されているデジタル(粗)遅延ライン111を調節することにより、入力バッファ301を介して提供される外部基準信号REF\_CLKを粗い精密度で遅延させる。アナログ遅延部200は、デジタル遅延部100のロッキング後にアナログ方法を用いて微細にアナログ(精細)遅延ライン207を調節し、デジタル(粗)遅延ライン111の出力信号を高い精密度で遅延させる。

【0017】より具体的に説明すると、デジタル遅延部100で位相検出器101は、外部クロック信号CLKとフィードバッククロック信号FB\_CLKとを比べてUP/HOLD/DOWNを判断する。ハーフ遅延ラインだけで、望む外部基準クロック信号REF\_CLK範囲をカバーしなければならず、ユニット遅延で構成されているデジタル(粗)遅延ライン111で遅延制御器103を介して最初からユニット遅延を選択しなければならないため、位相遅延モニター107が位相検出器101のUP/DOWN信号を判断して第1内部クロック信

号CLK又は第2内部クロック信号CLK\_Bを選択する。遅延制御器103は、位相検出器101の出力信号により粗い遅延を増減することができるよう、アップ信号及びダウン信号の回数をチェックする。ロッキング検出器105は、位相検出器101の出力であるHOLD状態を感じて遅延制御器103を停止させる。このようにしてデジタル遅延部100がロック状態を維持すれば、ユニット遅延程度のジッタ(jitter)を有することになるため、次にはユニット遅延のジッタに対しアナログ遅延部200の動作による微細チューニングが行われる。

【0018】デジタル遅延部200のロッキング検出器105により遅延制御器103が固定された後、位相検出器201は遅延を微細チューニングすることができるよう、クロック信号CLKとフィードバッククロック信号FB\_CLKとを比べてアップ(UP)/ダウン(DOWN)を判断する。遅延制御器203は、位相検出器201の出力信号により遅延を増減することができるよう、内部のカウンター(図示省略)を利用してアップ信号(UP)又はダウン信号(DN)の回数をチェックする。デジタル/アナログ変換器205は、遅延制御器203のカウンター値をアナログ信号である電流量に変換させる。デジタル/アナログ変換器205の電流調節により微細遅延を調節する。

【0019】尚、本発明は、上述の実施例に限られるものではない。本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

### 【0020】

【発明の効果】上述のように、このような構成を有する本発明による混合型遅延固定ループ回路及びそのクロック信号同期方法によれば、遅延ラインの長さが短くなるためノイズの影響による遅延の変化が大きくなる。さらに、消費電力と所要面積が小さくなり、ロッキング後のノイズの影響によるクロックジッタが大きくなないという利点がある。

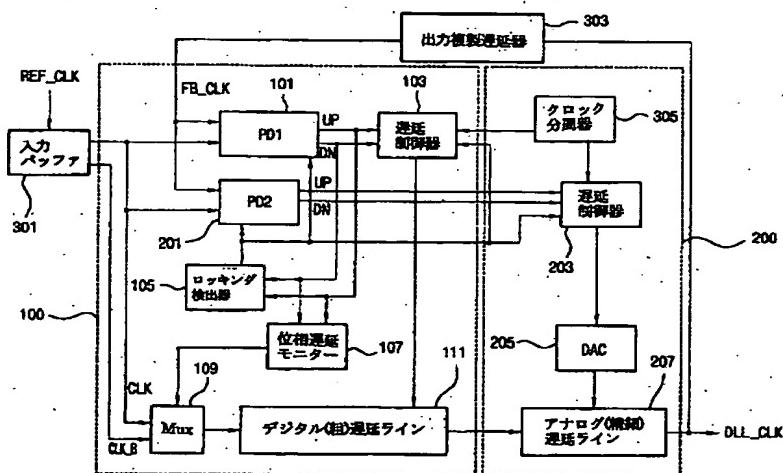
### 【図面の簡単な説明】

【図1】本発明による混合型遅延固定ループ回路の構成図である。

### 【符号の説明】

|     |               |
|-----|---------------|
| 100 | デジタル遅延部       |
| 101 | 位相検出器         |
| 103 | 遅延制御器         |
| 105 | ロッキング検出器      |
| 107 | 位相遅延モニター      |
| 109 | Mux           |
| 111 | デジタル(粗)遅延ライン  |
| 200 | アナログ遅延部       |
| 201 | 位相検出器         |
| 203 | 遅延制御器         |
| 205 | デジタル/アナログ変換器  |
| 207 | アナログ(精細)遅延ライン |
| 301 | 入力バッファ        |
| 303 | 出力複製遅延器       |
| 305 | クロック分周器       |
| 307 | クロック分周器       |

【図1】



フロントページの続き

F ターム(参考) 5B079 CC02 CC08 CC14 DD03 DD06  
5J106 AA03 CC24 CC30 CC52 CC59  
DD24 DD35 EE08 HH02 KK25  
5K047 AA13 GG09 GG45 MM36 MM44  
MM55 MM56 MM60 MM63  
5M024 AA20 AA22 AA70 BB03 BB34  
DD83 JJ03 JJ38 PP01